

(11)Publication number : 06-124962
(43)Date of publication of application : 06.05.1994

(51)Int.Cl. H01L 21/336
H01L 29/784

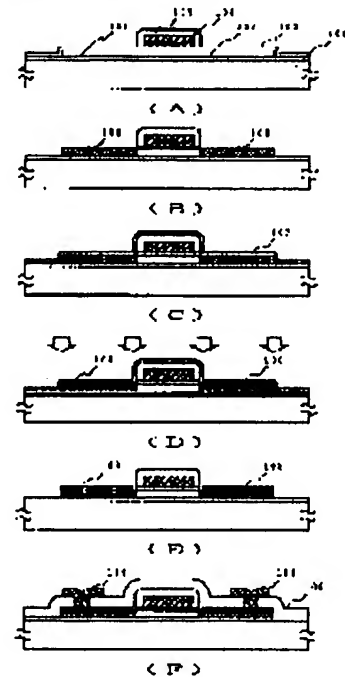
(21)Application number : 04-297650 (71)Applicant : SEMICONDUCTOR ENERGY
LAB CO LTD
(22)Date of filing : 09.10.1992 (72)Inventor : CHIYOU KOUYUU
TAKEMURA YASUHIKO

(54) THIN-FILM SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To obtain a method for manufacturing, with high yield, a thin film transistor excellent in characteristics and reliability.

CONSTITUTION: In a process for forming a thin-film transistor(TFT) on an insulating substrate, a gate insulating film 103 and a gate electrode 104 are formed on silicon semiconductor, the gate electrode is subjected to anodic oxidation 105, a metal film 107 like molybdenum, tungsten, platinum, chromium, titanium, and cobalt is formed so as to cover the exposed silicon semiconductor, and the metal film is irradiated with an intensive light beam like laser light, from above or from the rear side. Thereby the metal film is made to react with silicon, and silicide 108 is obtained. By the effect of the silicide, practical resistance between a source and a drain is reduced.



LEGAL STATUS

[Date of request for examination] 26.03.1998

[Date of sending the examiner's decision of rejection] 25.06.2002

[Kind of final disposal of application other withdrawal than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application] 05.08.2002

[Patent number]

" [Date of registration]
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-124962

(43)公開日 平成6年(1994)5月6日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H01L 21/338 29/784		9056-4M 9056-4M	H01L 29/78	311 F 311 G

審査請求 未請求 請求項の数5(全8頁)

(21)出願番号 特願平4-297650

(22)出願日 平成4年(1992)10月9日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 沢 宏房

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72)発明者 竹村 保彦

神奈川県厚木市長谷398番地 株式会社半

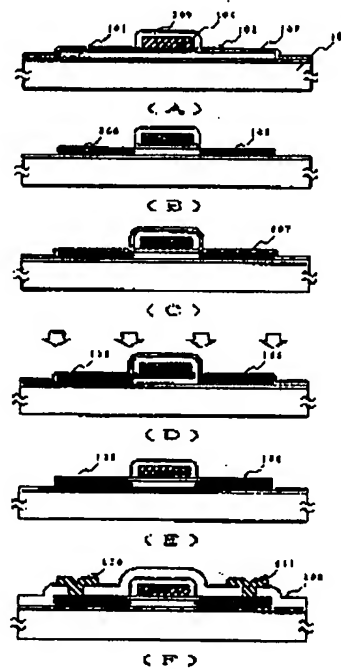
導体エネルギー研究所内

(54)【発明の名称】 薄膜状半導体装置およびその作製方法

(57)【要約】 (修正有)

【目的】 特性・信頼性の優れた薄膜トランジスタを歩留りよく製造する方法を提供する。

【構成】 絶縁基板上に薄膜トランジスタ(TFT)を形成する工程において、シリコン半導体上にゲイト絶縁膜103とゲイト電極104を形成し、ゲイト電極を陽極酸化105し、露出したシリコン半導体を覆って、モリブテン、タングステン、プラチナ(白金)、クロム、チタン、コバルト等の金属被膜107を形成し、この被膜に対して、上方もしくは基板側からレーザー等の強光を照射することによって、前記金属被膜とシリコンを反応させてシリサイド108を得て、このシリサイドによってソース/ドレインの実質的な抵抗を低減せしめる。



【特許請求の範囲】

【請求項1】 絶縁基板上にP型もしくはN型の2つのシリコン半導体の不純物領域と、該不純物領域間にある實質的に真性か、あるいは該不純物領域とは反対の導電型のシリコン半導体からなる活性層と、

該活性層の上にあるゲイト絶縁膜と、

該ゲイト絶縁膜に密着して存在するゲイト電極と、

ゲイト電極の少なくとも側面に存在するゲイト電極を構成する材料の少なくとも1つからなる陽極酸化物と、

前記2つの不純物領域の上に密着して形成され、前記不純物領域と實質的に同じ形状をした金属とシリコンからなる層状のシリサイド領域とを有することを特徴とする薄膜状半導体装置。

【請求項2】 絶縁基板上に選択的にシリコン半導体層を形成する工程と、前記シリコン半導体上にゲイト絶縁膜として機能する絶縁膜を形成する工程と、前記絶縁膜上にゲイト電極を形成する工程と、前記ゲイト電極の少なくとも側面に陽極酸化物を形成する工程と、前記ゲイト電極および陽極酸化物をマスクとして自己整合的に、前記シリコン半導体に不純物を注入し、不純物領域（ソースおよびドレイン）を形成する工程と、前記絶縁膜の一部を除去して、前記不純物領域の表面を露出せしめる工程と、全面に金属膜を形成する工程と、金属膜に強光を照射して前記金属とシリコンを化合させ、シリサイドを形成する工程と、前記金属膜のうち未反応のものを除去する工程と、を有することを特徴とする薄膜状半導体装置の作製方法。

【請求項3】 絶縁基板上に選択的にシリコン半導体層を形成する工程と、前記シリコン半導体上にゲイト絶縁膜として機能する絶縁膜を形成する工程と、前記絶縁膜上にゲイト電極を形成する工程と、前記ゲイト電極をマスクとして自己整合的に、前記シリコン半導体に不純物を注入し、不純物領域（ソースおよびドレイン）を形成する工程と、前記ゲイト電極の少なくとも側面に陽極酸化物を形成する工程と、前記絶縁膜の一部を除去して、前記不純物領域の表面を露出せしめる工程と、全面に金属膜を形成する工程と、金属膜に強光を照射して前記金属とシリコンを化合させ、シリサイドを形成する工程と、前記金属膜のうち未反応のものを除去する工程と、を有することを特徴とする薄膜状半導体装置の作製方法。

【請求項4】 絶縁基板上に選択的にシリコン半導体層を形成する工程と、前記シリコン半導体上にゲイト絶縁膜として機能する絶縁膜を形成する工程と、前記絶縁膜上にゲイト電極を形成する工程と、前記ゲイト電極の少なくとも側面に陽極酸化物を形成する工程と、前記絶縁膜の一部を除去して、前記不純物領域の表面を露出せしめる工程と、全面に金属膜を形成する工程と、前記ゲイト電極および陽極酸化物をマスクとして自己整合的に、

前記シリコン半導体に不純物を注入し、不純物領域（ソースおよびドレイン）を形成する工程と、金属膜に強光を照射して前記金属とシリコンを化合させ、シリサイドを形成する工程と、前記金属膜のうち未反応のものを除去する工程と、を有することを特徴とする薄膜状半導体装置の作製方法。

【請求項5】 絶縁基板上に選択的にシリコン半導体層を形成する工程と、前記シリコン半導体上にゲイト絶縁膜として機能する絶縁膜を形成する工程と、前記絶縁膜上にゲイト電極を形成する工程と、前記ゲイト電極の少なくとも側面に陽極酸化物を形成する工程と、前記絶縁膜の一部を除去して、前記不純物領域の表面を露出せしめる工程と、全面に金属膜を形成する工程と、金属膜に強光を照射して前記金属とシリコンを化合させ、シリサイドを形成する工程と、前記金属膜のうち未反応のものを除去する工程と、前記ゲイト電極および陽極酸化物をマスクとして自己整合的に、前記シリコン半導体に不純物を注入し、不純物領域（ソースおよびドレイン）を形成する工程と、を有することを特徴とする薄膜状半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、絶縁基板（本明細書では絶縁性の表面を有する物体全体を指し、特に断らないかぎり、ガラス等の絶縁材料のみならず、半導体や金属等の材料上に絶縁物層を形成したものも意味する）上に絶縁ゲイト型半導体装置およびそれらが多数形成された集積回路を形成する方法に関する。本発明による半導体装置は、液晶ディスプレイ等のアクティブマトリクスやイメージセンサー等の駆動回路、あるいはSOI集積回路や従来の半導体集積回路（マイクロプロセッサやマイクロコントローラ、マイクロコンピュータ、あるいは半導体メモリ等）における薄膜トランジスタとして使用されるものである。

【0002】

【従来の技術】近年、絶縁基板上に絶縁ゲイト型半導体装置（MOSFET）を形成する研究が盛んに成されている。このように絶縁基板上に半導体集積回路を形成することは回路の高速駆動の上で有利である。なぜなら、従来の半導体集積回路の速度は主として配線と基板との容量（浮遊容量）によって制限されていたのに対し、絶縁基板上ではこのような浮遊容量が存在しないからである。このように絶縁基板上に形成され、薄膜状の活性層を有するMOSFETを薄膜トランジスタ（TFT）という。また、集積回路を多層化して形成するためにも、TFTは不可欠である。現在、半導体集積回路において、例えばSRAMの負荷トランジスタとしてTFTが使用されている。

【0003】また、最近になって、透明な基板上に半導体集積回路を形成する必要のある製品が出現した。例え

ば、液晶ディスプレイやイメージセンサーというような光デバイスの駆動回路である。ここにもTFTが用いられている。これらの回路は大面积に形成することが要求されるのでTFT作製プロセスの低温化が求められている。また、例えば、絶縁基板上に多数の端子を有する装置で、該端子を半導体集積回路に接続する必要がある場合にも、実装密度を低減するために、半導体集積回路の最初の方の段、あるいは半導体集積回路そのものを、同じ絶縁基板上にモノリシックに形成することも考えられている。

【0004】従来、TFTは、アモルファスもしくはセミアモルファス、あるいは微結晶の半導体被膜を450℃～1200℃の温度でアニールすることによって、結晶性を改善し、良質な（すなわち、移動度の十分に大きな）半導体被膜に改善することがなされてきた。半導体被膜にアモルファス材料を使用するアモルファスTFTもあるが、移動度が $5\text{ cm}^2/\text{Vs}$ 以下、通常は $1\text{ cm}^2/\text{Vs}$ 程度と小さく、動作速度の点からで、また、Pチャネル型のTFTが得られない点からその利用は大きく制限されている。移動度が $5\text{ cm}^2/\text{Vs}$ 以上のTFTを得るには、上記のような温度でのアニールが必要であった。また、このようなアニールによってPチャネル型TFT（PTFT）を形成することができた。

【0005】【発明が解決しようとする課題】しかしながら、このような熱的なプロセスでは、基板材料が著しい制約を受けた。すなわち、いわゆる高温プロセス（最高プロセス温度が900～1200℃のプロセス）では、ゲート酸化膜として質のよい熱酸化膜が使用できるのであるが、基板は石英やサファイヤ、スピネルのような高価で大面积化の困難な材料しか使用できなかった。

【0006】これに対し、低温プロセス（最高プロセス温度が450～750℃のプロセス）では、高温プロセスよりも基板材料の選択の巾は広がるが、長時間のアニールを要することと、高温プロセスに比較して、不純物の活性化が十分でなく、ソース/ドレインのシート抵抗が大きくなことが問題となっている。また、レーザー等の照射によって活性層の結晶化やソース/ドレインの活性化をおこなう方法（以下、レーザープロセスと称する）も試みられているが、やはりシート抵抗を低減することが困難であった。特に、電界移動度が $150\text{ cm}^2/\text{Vs}$ を超えるようなTFTを作製せんとした場合には、200Ω/□以下のシート抵抗が必要であった。

【0007】本発明は、以上のような問題を鑑みてなされたもので、最高プロセス温度が750℃以下であり、高温プロセスにおける如き基板材料の制約を受けずに、十分にシート抵抗を低減せしめたTFTおよびその作製方法を提供することを課題とする。

【0008】

【課題を解決するための手段】従来の低温プロセス（最

高プロセス温度750℃以下）もしくはレーザープロセスでは、特にソース/ドレインの活性化が不十分であり、最低でもせいぜい100～1kΩ/□のシート抵抗しか得られなかった。このために、結果的にデバイスとしての特性（特に移動度）が本来の特性を発揮できない状態であった。

【0009】すなわち、ソース電極（コンタクト部）とドレイン電極の間のソース/ドレインの寄生抵抗が大きかったためにTFTのON電流および動作速度が低下するという問題があった。しかしながら、一方では、パターン形成の限界（最小デザインルール）とゲート電極と他の配線間の寄生容量を小さくする必要から、むやみにソース電極とドレイン電極を近づけることは困難であり、また、賢明ではなかった。

【0010】本発明では、この点に関して、金属とシリコンの合金である層状のシリサイドをソース/ドレイン上に密着して、ソース/ドレインとはほぼ同じ形状に形成することによって、ソース/ドレインの實質的なシート抵抗を100Ω/□以下に低減させることを特徴とする。また、シリサイドは層状であるので、ゲート電極との寄生容量は従来のソース/ドレインとはほとんど同じである。特に、本発明は、ゲート電極がその陽極酸化物によって被覆されていることと、ゲート電極に対して自己整合的にソース/ドレイン領域が形成されていることと、このソース/ドレイン領域上に密着して薄層状のシリサイドが形成されていることを特徴とする。

【0011】本発明ではシリサイドを構成する金属材料は、そのシリサイドがシリコン半導体に対してオーミックもしくはオーミックに近い低抵抗なコンタクトを形成できるような材料であることが望まれる。具体的には、モリブデン（Mo）、タングステン（W）、プラチナ（白金、Pt）、クロム（Cr）、チタン（Ti）、コバルト（Co）が適当である。本発明を実施するには、これらの金属のうちの少なくとも1つとシリコンを反応させてシリサイドとする。

【0012】特に本発明では絶縁性の陽極酸化物の果たす役割が重要である。この陽極酸化物は、ソース/ドレイン上のシリサイドとゲート電極が短絡することを防止する役割を果たす。すなわち、シリサイドは、ソース/ドレイン上に實質的に全面に設けられるので、結果的にゲート電極に近接することとなる。ソース/ドレインとゲート電極はゲート絶縁膜によって隔てられているが、本発明の如きシリサイドは、プロセスの要請上、一度、ソース/ドレイン上のゲート絶縁膜を除去した後形成されるので、シリサイドがゲート電極と接触する可能性が著しく大きい。もし、ゲート電極の少なくとも側面に陽極酸化物が存在すれば、シリサイドとゲート電極の接触を防止することが可能であり、しかも、陽極酸化物は非常に緻密で絶縁性の良好なものを得ることができるので、短絡の確率は著しく低減できる。

【0013】また、陽極酸化物がゲイト電極と異なるエッチング特性を有するのであれば、プロセスを進める上で段階に歩留りを向上せしめることができる。もし、ゲイト電極を覆う陽極酸化物が存在しない状態ではシリサイド膜を形成した後、シリサイド化しなかった金属膜を除去する工程で、この金属膜がゲイト電極と大差無いエッチングレートであったならば、金属膜のエッチングの際にゲイト電極の一部もしくは全部をエッチングすることとなる。したがって、エッチングの観点からすればゲイト電極の上面に陽極酸化物が存在することがのぞましい。

【0014】本発明のTFTを作製する方法は、基本的には、

① ゲイト電極を陽極酸化する工程、

② シリサイドを形成するための金属膜を露出した素子表面（シリコン半導体領域を含む）に形成する工程、

③ レーザー等の強光を照射することによって、シリコンと前記金属膜を反応させて、その界面にシリサイドを形成する工程、

④ 未反応の金属膜を除去する工程

という4つの基本工程を含む。

【0015】本発明においては、ゲイト電極の材料を選択することは陽極酸化物の種類を決定することでもあるので重要である。本発明では、ゲイト電極としては、アルミニウム、チタン、タンタル、シリコンのような純粋な金属やそれらに少量の添加物を添加した合金（例えば、アルミニウムに1～3%のシリコンを加えた合金や、シリコンに1000ppm～5%の燐を加えた合金）、あるいは珪化タンゲステン（ WSi_x ）や珪化モリブデン（ $MoSi_x$ ）等の導電性珪化物、さらには窒化チタンに代表される導電性窒化物が使用できる。なお、本明細書では、特に断らない限り、例えば、アルミニウムといえば、純粋なアルミニウムだけでなく、10%以下の添加物を含有するものも含むものとする。シリコンや他の材料についても同じである。

【0016】本発明では、これらの材料を単独で使用した単層構造のゲイト電極を用いてもよいし、これらを2層以上重ねた多層構造のゲイト電極としてもよい。例えば、アルミニウム上に珪化タンゲステンを重ねた2層構造や窒化チタン上にアルミニウムを重ねた2層構造である。各々の層の厚さは必要とされる素子特性に応じて実施者が決定すればよい。

【0017】また、本発明ではレーザー等の強光を金属膜に照射し、下に存在するシリコン半導体膜と反応させてシリサイドとするが、レーザーを使用するのであれば、パルス状のレーザーが好ましい。連続発振レーザーでは照射時間が長いので、熱によって被照射物が熱によって膨張することによって剥離するような危険がある上、基板への熱的なダメージもあった。

【0018】パルスレーザーに関しては、Nd:YAG

レーザー（Qスイッチパルス発振が望ましい）のごとき赤外光レーザーやその第2高調波のごとき可視光、KrF、XeCl、ArF等のエキシマーを使用する各種紫外光レーザーが使用できるが、金属膜の上面からレーザー照射をおこなう場合には金属膜に反射されないような波長のレーザーを選択する必要がある。もっとも、金属膜が極めて薄い場合にはほとんど問題がない。また、レーザー光は、基板側から照射してもよい。この場合には下に存在するシリコン半導体膜を透過するレーザー光を選択する必要がある。

【0019】シリサイドの厚さは、ソース/ドレイン領域に必要とされるシート抵抗によって選択されるが、シート抵抗として10～100Ω/□を達成せんとすれば、シリサイドの比抵抗は、0.1～1mΩ・cmであるので、シリサイドの厚さは10nm～1μmが適当である。

【0020】

【実施例】

【実施例1】 図1に本実施例を示す。まず、基板（コーニング7059、300mm×400mmもしくは100mm×100mm）100上に下地酸化膜101として厚さ100～300nmの酸化珪素膜を形成した。この酸化膜の形成方法としては、酸素雰囲気中でのスパッタ法を使用した。しかし、より密度性を高めるには、TEOSをプラズマCVD法で分解・堆積した膜を450～650℃でアニールしてもよい。

【0021】その後、プラズマCVD法やLPCVD法によってアモルファス状のシリコン膜を30～500nm、好ましくは100～300nm堆積し、これを、550～600℃の還元雰囲気中に2時間放置して、結晶化せしめた。この工程は、レーザー照射によっておこなってもよい。そして、このようにして結晶化させたシリコン膜をパターニングして島状領域102を形成した。さらに、この上にスパッタ法によって厚さ70～150nmの酸化珪素膜103を形成した。

【0022】その後、厚さ200nm～5μmのアルミニウム（Al99%/Si1%）膜を電子ビーム蒸着法によって形成して、これをパターニングし、ゲイト電極104とし、さらにこれに電解液中で電流を通じて陽極酸化し、厚さ50～250nmの陽極酸化物105を形成した。この様子を図1（A）に示す。陽極酸化の条件等については、特開平4-30220（平成4年1月21日出願）に示されているものを用いた。

【0023】その後、酸化珪素膜103のゲイト電極と陽極酸化物の下の部分以外を除去して、シリコン半導体102の表面を露出させた。酸化珪素膜103を除去するには、フッ化水素酸を主体とするエッチング液によるウェットエッチングや、ドライエッチングを使用できる。

【0024】その後、イオンドーピング法によって、各

TFTの島状シリコン膜中に、ゲート電極部(すなわちゲート電極とその周囲の陽極酸化膜)をマスクとして自己整合的に不純物を注入し、図1(B)に示すように不純物領域106を形成した。NMOSのTFTを形成するにはフォスフィン(PH₃)をドーピングガスとして燐を注入し、PMOSのTFTを形成するにはジボラン(B₂H₆)をドーピングガスとして、硼素を注入すればよい。加速エネルギーは10~60keVとした。

【0025】その後、図1(C)に示すように、厚さ5~50nmのタングステン膜107をスパッタ法によって形成した。次に、図1(D)に示すように、KrFエキシマーレーザー(波長248nm、パルス幅20ns)を照射して、タングステンとシリコンを反応させ、珪化タングステン領域108を不純物領域(ソース/ドレイン)上に形成した。レーザーのエネルギー密度は200~400mJ/cm²、好ましくは250~300mJ/cm²が適当であった。レーザー光の多くの部分はタングステン膜に吸収されたので下にあるシリコンの不純物領域の結晶性(これは先のイオンドーピングによってかなり損傷を受けている)の回復にはほとんど利用されなかった。しかしながら、珪化タングステンは、30~100μΩ・cmという低い抵抗率であるので、実質的なソースおよびドレイン領域(領域108とその下の不純物領域)のシート抵抗は10Ω/□以下であったのもちろん、不純物導入の工程の直後にレーザー照射や熱アニール等によって不純物導入によって劣化した結晶性の回復を図ってもよい。

【0026】その後、図1(E)に示すように、反応しなかったタングステン膜をエッチングした。例えば、フッ化炭素雰囲気中で反応性エッチングをおこなえば、タングステンは6フッ化タングステンとなって蒸発し、除去できる。

【0027】最後に、全面に層間絶縁物109として、CVD法によって酸化珪素膜を厚さ300nm形成した。TFTのソース/ドレインにコンタクトホールを形成し、アルミニウム配線・電極110、111を形成した。以上によって、TFTが完成された。不純物領域の活性化のために、さらに200~400℃で水素アニールをおこなってもよい。

【0028】〔実施例2〕 図2に本実施例を示す。まず、基板(コーニング7059)201上に実施例1と同様に下地酸化膜202、島状シリコン半導体領域、ゲート酸化膜として機能する酸化珪素膜204を形成し、アルミニウム膜(厚さ200nm~5μm)によるゲート電極205を形成した。そして、図2(A)に示すようにゲート電極をマスクとしてイオンドーピング法によって不純物注入をおこない、不純物領域203を形成した。

【0029】その後、実施例1と同様に陽極酸化によって、ゲート電極の周囲(側面と上面)に陽極酸化物20

6を形成した。この場合には実施例1の場合に比べて、不純物領域が陽極酸化物の内部にまで入り込んでいることに注目すべきである。その後、図2(B)に示すように、酸化珪素膜204のゲート電極下部に存在する部分以外の領域を除去し、不純物領域の表面を露出させた。なお、次の工程に移る前にイオンドーピングによって結晶性が劣化した不純物領域の結晶性を改善するためにレーザー照射や熱アニールをおこなってもよい。

【0030】そして、図2(C)に示すように、厚さ5~50nmのモリブテン膜207をスパッタ法によって形成した。次に、図2(D)に示すように、KrFエキシマーレーザー(波長248nm、パルス幅20ns)を照射して、モリブテンとシリコンを反応させ、珪化モリブテン領域208を不純物領域(ソース/ドレイン)上に形成した。

【0031】その後、図2(E)に示すように、反応しなかったモリブテン膜をエッチングし、最後に、図2(F)に示すように、全面に層間絶縁物209として、CVD法によって酸化珪素膜を厚さ300nm形成し、TFTのソース/ドレインにコンタクトホールを形成し、アルミニウム配線・電極210、211を形成した。以上の工程によって、TFTが完成された。

【0032】〔実施例3〕 図3に本実施例を示す。まず、図3(A)に示すように、基板(コーニング7059)300上に実施例1と同様に下地酸化膜301、島状シリコン半導体領域302、ゲート酸化膜として機能する酸化珪素膜303を形成し、アルミニウム膜(厚さ200nm~5μm)によるゲート電極304を形成した。そして、実施例1と同様に陽極酸化によって、ゲート電極の周囲(側面と上面)に陽極酸化物305を形成した。

【0033】そして、酸化珪素膜103のゲート電極部の下の部分以外の領域を除去し、図3(B)に示すように、厚さ5~50nmのプラチナ(Pt)膜306をスパッタ法によって形成した。さらに、このモリブテン膜を通して、イオンドーピングによって不純物導入をおこない、図3(C)に示すように、不純物領域307を形成した。次に、図3(D)に示すように、KrFエキシマーレーザー(波長248nm、パルス幅20ns)を照射して、プラチナとシリコンを反応させ、珪化プラチナ領域308を不純物領域(ソース/ドレイン)上に形成した。

【0034】その後、図3(E)に示すように、反応しなかったプラチナ膜をエッチングし、最後に、図3(F)に示すように、全面に層間絶縁物309として、CVD法によって酸化珪素膜を厚さ300nm形成し、TFTのソース/ドレインにコンタクトホールを形成し、アルミニウム配線・電極310、311を形成した。以上の工程によって、TFTが完成された。

【0035】〔実施例4〕 図4に本実施例を示す。ま

ず、図4(A)に示すように、基板(コーニング7059)400上に実施例1と同様に下地酸化膜401、島状シリコン半導体領域402、ゲイト酸化膜として機能する酸化珪素膜403を形成し、アルミニウム膜(厚さ200nm~5 μ m)によるゲイト電極404を形成した。そして、実施例1と同様に陽極酸化によって、ゲイト電極の周囲(側面と上面)に陽極酸化物405を形成した。

【0036】そして、酸化珪素膜403のゲイト電極部の下の部分以外の領域を除去し、図4(B)に示すように、厚さ5~50nmのチタン膜406をスパッタ法によって形成した。さらに、図4(C)に示すように、K₂Fエキシマレーザー(波長248nm、パルス幅20nsec)を照射して、チタンとシリコンを反応させ、珪化チタン領域407を形成した。

【0037】その後、図4(D)に示すように、反応しなかったチタン膜をエッチングし、さらに、イオンドーピング法によってゲイト電極部をマスクとして自己整合的に不純物を導入し、珪化チタン領域407の下部に不純物領域408を形成した。最後に、図4(E)に示すように、層間絶縁物409として、CVD法によって酸化珪素膜を全面に厚さ300nm形成し、TFTのソース/ドレインにコンタクトホールを形成し、アルミニウム配線・電極410、411を形成した。以上の工程によって、TFTが完成された。

【0038】

【発明の効果】本発明によって、ソース/ドレイン間の実質的な抵抗を著しく低減することができた。従来はソース/ドレイン間の抵抗を下げるために、長時間にわたる熱アニールをおこなう方法が使用された。しかしながら、この方法はスループットが低く、また、基板温度が550℃以上に上昇するので、基板材料が制約を受けた。一方、レーザー照射による方法も試みられていたが、シート抵抗を低くするためにはレーザーのエネルギー密度を最適化する必要があり、エネルギー密度が低くても高くても、適切なシート抵抗が得られなかった。したがって、得られるTFTの特性のばらつきが大きく、また、その結果、得られるシート抵抗もせいぜい数100 Ω /□であった。

【0039】これに対し、本発明においては、シリコン半導体(ソース/ドレイン)の表面にごく薄いシリサイド膜を形成することによってシート抵抗を著しく低減させ、典型的には100 Ω /□以下にまで低減させること

ができる。本発明では、このシリサイド膜を得るためにレーザー照射を必要とするが、その条件は従来のシリコンの活性化の条件に比べると著しく緩やかであり、歩留りの大いなる向上に寄与する。

【0040】本発明では、シリサイド層の下にあるシリコン半導体の不純物領域に関しては、イオン注入の後に、結晶性を回復させるための工程(活性化工程)を設けても設けなくてもよい。例えば、イオンドーピング法によって不純物注入をおこなった場合には、10¹¹cm⁻²以上のヘビードーピングをおこなった場合には、活性化工程を設けなくても10k Ω /□程度のシート抵抗は得られ、本発明のように不純物領域に密着して低抵抗のシリサイド層が形成されている場合には、実質的なソースやドレインのシート抵抗は十分に低い。

【0041】しかしながら、活性化工程を経ないシリコン半導体中には、多くの欠陥が存在し、目的によっては信頼性の観点から好ましくない場合がある。このような目的には不純物領域の活性化をおこなうべきである。しかし、そのためには工程数が増加する。ただし、この場合の活性化工程として、レーザー照射を使用する場合には、不純物領域のシート抵抗の最適化を目的とするのではないので、従来の場合よりもより緩やかな条件を適用することができる。このように本発明はTFTの特性を改善せしめ、その歩留りを向上させる上で著しく有益である。

【図面の簡単な説明】

【図1】本発明によるTFTの作製方法を示す。

【図2】本発明によるTFTの作製方法を示す。

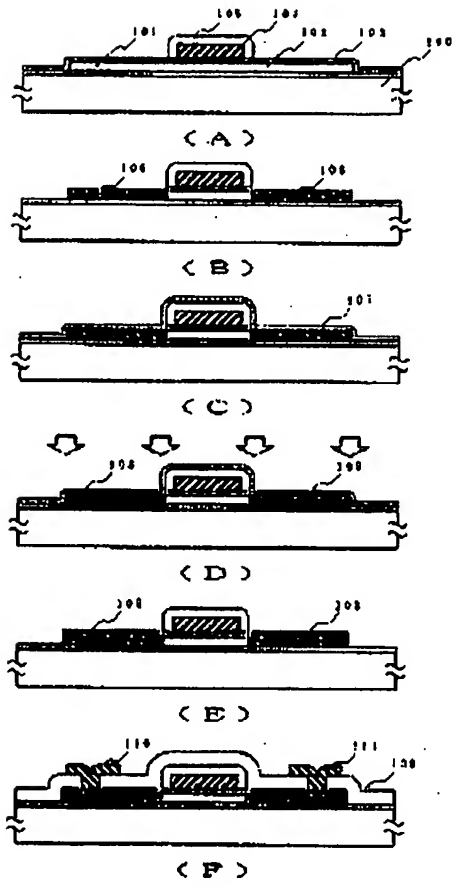
【図3】本発明によるTFTの作製方法を示す。

【図4】本発明によるTFTの作製方法を示す。

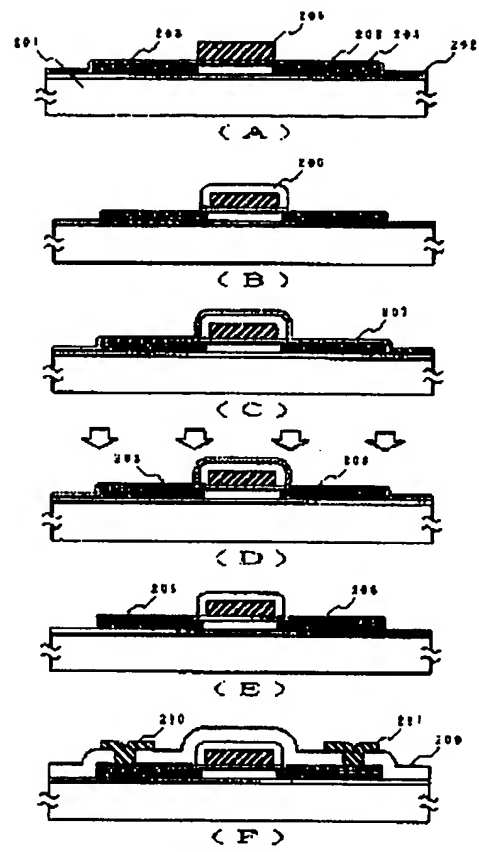
【符号の説明】

100	絶縁基板
101	下地酸化膜(酸化珪素)
102	シリコン半導体領域
103	酸化珪素膜(ゲイト酸化膜となる)
104	ゲイト電極(アルミニウム)
105	陽極酸化物
106	不純物領域
107	金属膜(タングステン)
108	シリサイド膜(珪化タングステン)
109	層間絶縁膜(酸化珪素)
110、111	金属配線・電極(アルミニウム)

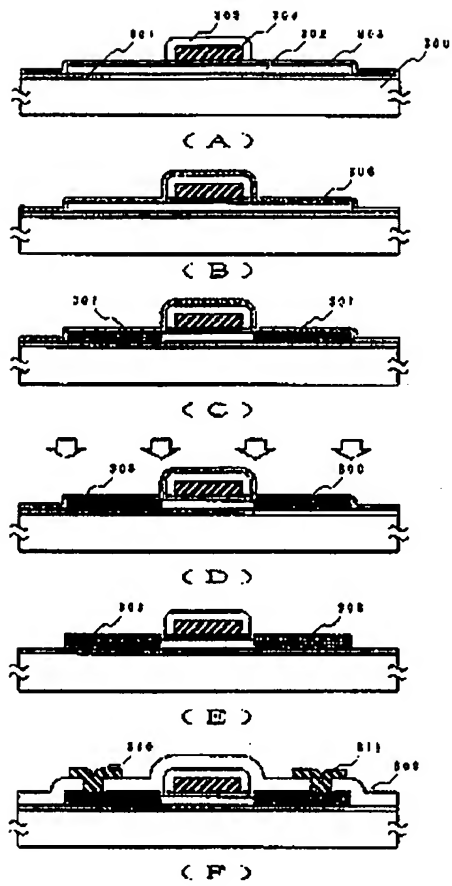
【図1】



【図2】



【図3】



【図4】

